

257-577

AU 2503 43107

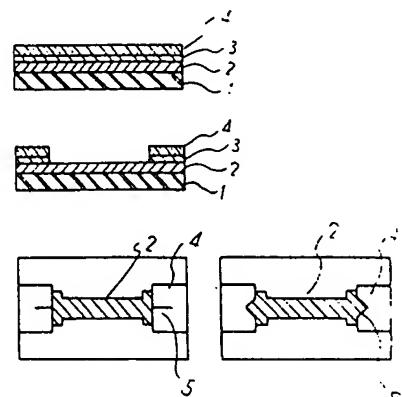
JP 356080152 A
JUL 1981

54 THIN-FILM TYPE INTEGRATED CIRCUIT DEVICE

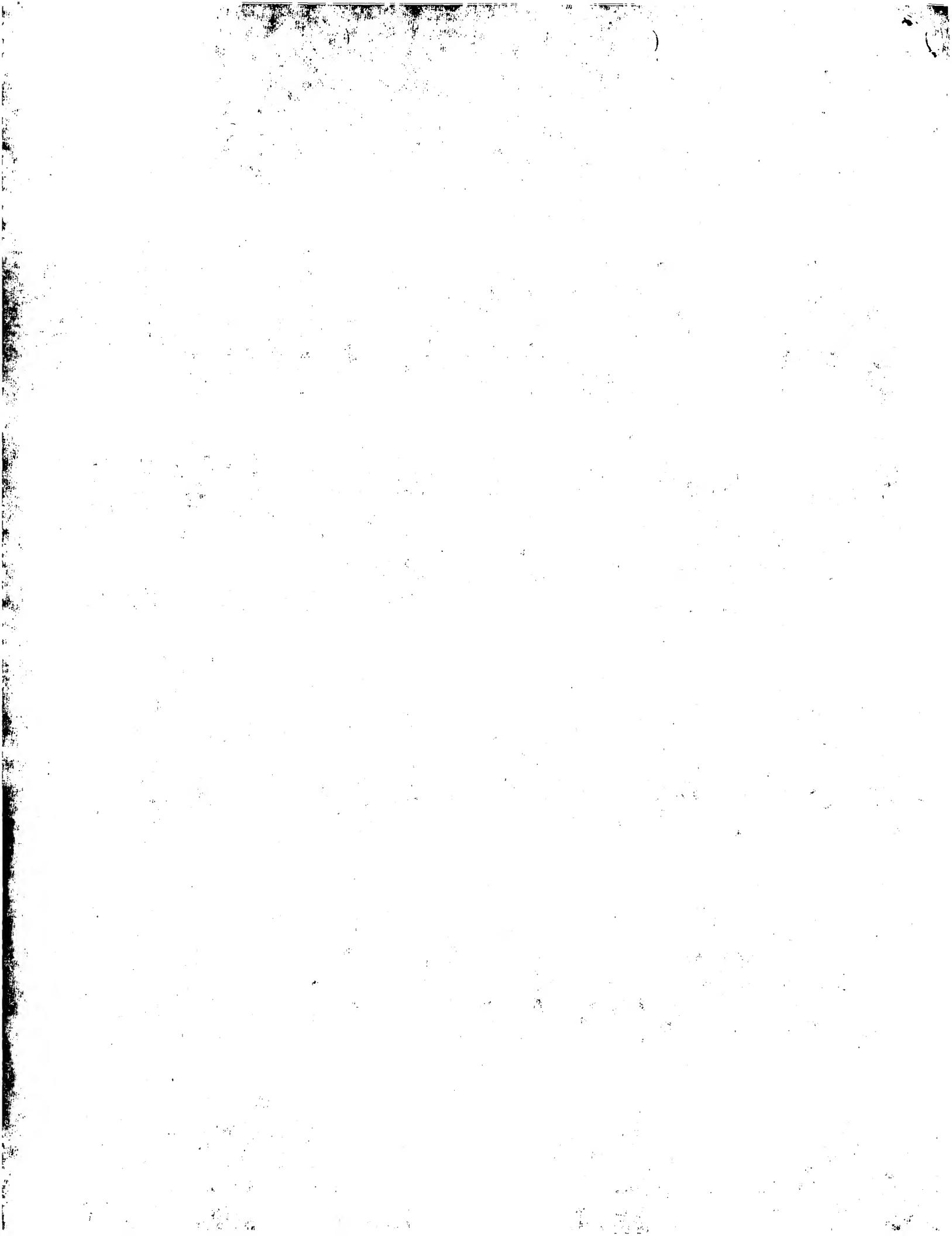
11 56-80152 A 43 1.7.1981 19 JP
21 Appl. No. 54-158325 22 6.12.1979
71 NIPPON DENKI K.K. 72 TAKESHI YAKASHIMA :
51 Int. Cl. H01L27 01, H01C17 06

PURPOSE: To prevent the flowage of the solder layer of the thin-film type integrated circuit whose electrode patterns have been provided at both ends of a thin film resistance formed on an insulative substrate, by forming each electrode pattern into shape which has a slit or cut.

CONSTITUTION: On an insulative substrate 1 of ceramic or the like, a resistance element 2 of a desired pattern is formed of tantalum or the like. Then this is coated with the first conductive layer 3 of NiCr or the like which is adhesive to the resistance element 2 so that the thickness is 200~300 Å and the second conductive layer 4 of Au or the like which is adhesive to solder by, e.g., vacuum evaporation. Moreover, these conductive layers are patterned into shape shown in the figure by photoresist method or the like. By said constitution, because a slit 5 or cut 6 has been made in the conductive layers 3 and 4, the flowage of the solder layer can be prevented when it is formed by solder dip.



257/57



⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭56—80152

⑤ Int. Cl.³
H 01 L 27/01
H 01 C 17/06

識別記号
厅内整理番号
6426—5F
6240—5E

⑥ 公開 昭和56年(1981)7月1日
発明の数 1
審査請求 未請求

(全 2 頁)

⑦ 薄膜集積回路装置

⑧ 特願 昭54—158325
出願 昭54(1979)12月6日
発明者 中島猛

東京都港区芝五丁目33番1号
本電気株式会社内

⑨ 発明者 松木洋一

東京都港区芝五丁目33番1号
本電気株式会社内
日本電気株式会社
東京都港区芝五丁目33番1号
法律代理人弁理士 内原晋

明細書

1. 発明の名稱

導体膜集積回路装置

2. 特許請求の範囲

絶縁性基板と、この基板面上に回路形状に形成された抵抗薄膜と、この膜上に部分的に形成された第一導電層と、この層上に形成された第二導電層と、さらにこの層上に形成された半田層とからなる導体膜集積回路装置において、前記第一、第二導電層はスリットまたは切込みを有する形状にパターン形成されていることを特徴とする導体膜集積回路装置。

3. 発明の詳細な説明

本発明は導体膜集積回路装置に付し、特に精度の厳しい抵抗と、半田耐熱性の良好な導電層を有する導体膜集積回路に関するものである。

従来、導体膜集積回路の製造方法で、NiCr-Au

基板表面を蒸着等により形成した後、これをパターン化し、この層上に半田層を形成し隔壁とする手がしばしば用いられている。また導電層を高めさせ、この電極パターンがことさら効率となり、ディスクリート部品例えはトランジスタ、ダイオード等の電子部品のリード線や、外部端子接続用リード線及びそれらのリード線を固定するための基板穴に半田が波瀬されやすいことがある。この結果、抵抗体との境界部の半田層が薄くなり、波瀬の変化率が高くなり、特に精度の厳しい抵抗では問題となる。

本発明の目的は、かかる欠点を除去することが可能な電極を有する導体膜集積回路装置を提供することにある。

本発明は例え、絶縁性基板と、この基板面上に回路形状に形成された抵抗薄膜と、この膜上に部分的に形成された前記抵抗薄膜と密着性の良い第一導電層と、この層上に形成されかつ前記第一導電層より導電率が高く半田付性の良い第二導電層と、この層上に形成された半田層とからなる導

供集積回路装置において、前記第一及び第二導電部はスリットまたは切込みを有する形状にパターン形成されていることを特徴とする点にある。

本発明の実施例を図面を参照して説明する。

第1図の如く絶縁基板、例えばセラミック基板1上に所要の抵抗素子2を例えばタンタル等により形成する。しかる後、第2図のように、NiCr等の回路素子2と密着性の良い200～300Åの第一導電層3、及びAu等の半田付性の良い2000～3000Åの第2導電層4を真空蒸着法等により寸層形成する。しかる後、フォトレジスト法等により第3図のようにパターン形成する。その際、第4図Aまたは第4図Bのように、スリット5または切込み6を設けることにより、半田滴下により半田層を形成するときに半田層の流出を防止することが可能となる。

4. 図面の簡単な説明

第1図、第2図及び第3図は本発明の実施例を製造工程順に示す断面図である。第4図A及び第

4図Bは本発明の各実施例を示す断面図である。

尚、図において

1……絶縁基板、2……抵抗素子、3……第一導電層、4……第二導電層。

代理人 弁理士 内原 哲

- 3 -

- 4 -

